



15.32/5685

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:	)	Group Art Unit: 2814
KOMIYAMA et al.	)	
Serial No. 09/776,528	)	Examiner: unknown
Filed: February 4, 2001	)	
For: METHODS FOR MANUFACTURING	)	
SEMICONDUCTOR CHIPS, METHODS FOR	)	
MANUFACTURING SEMICONDUCTOR	)	
DEVICES, SEMICONDUCTOR CHIPS,	)	
SEMICONDUCTOR DEVICES, CONNECTION	)	
SUBSTRATES AND ELECTRONIC DEVICES	)	

**TRANSMITTAL OF CERTIFIED COPIES**

Assistant Commissioner for Patents  
Washington, DC 20231

Dear Sir:

Enclosed are certified copies of priority documents for U.S. Application Serial No. 09/776,528. These documents include Japanese Patent Application Number 2000-028366, and Japanese Patent Application Number 2001-014025. It is believed that no fees are due relating to this submission, however, if fees are due relating to this submission, please charge them to deposit account no. 50-0585.

Respectfully submitted,

*Alan S. Raynes*  
Alan S. Raynes

Dated: July 12, 2001

Reg. No. 39,809  
KONRAD RAYNES & VICTOR LLP  
315 South Beverly Drive, Suite 210  
Beverly Hills, CA 90212  
(310) 556-7983 (tele)  
(310) 556-7984 (fax)

Customer No. 24033

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231 on July 12, 2001.

*Alan S. Raynes*  
Alan S. Raynes

July 12, 2001  
(Date)



日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2001年 1月23日

出 願 番 号

Application Number:

特願2001-014025

出 願 人

Applicant (s):

セイコーエプソン株式会社

2001年 2月 9日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造

出証番号 出証特2001-3006098

【書類名】 特許願

【整理番号】 J0083599

【提出日】 平成13年 1月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/00

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 込山 忠

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 原 明稔

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 佐藤 英一

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100093388

    【弁理士】

    【氏名又は名称】 鈴木 喜三郎

    【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

    【識別番号】 100095728

    【弁理士】

    【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【先の出願に基づく優先権主張】

【出願番号】 特願2000- 28366

【出願日】 平成12年 2月 4日

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体チップの製造方法および半導体装置の製造方法、半導体チップ、半導体装置、接続用基板、電子機器

【特許請求の範囲】

【請求項 1】 半導体チップの表面に電極を形成した後、前記半導体チップの背面から前記電極が露出するまで縦穴の掘り下げを行ったことを特徴とする半導体チップの製造方法。

【請求項 2】 第 1 半導体チップの表面に電極を形成した後、前記第 1 半導体チップの背面から前記電極が露出するまで縦穴の掘り下げを行うとともに、第 2 半導体チップの表面にエッチングにて突起を形成した後、この突起の頂上部に突合せ用電極を形成し、当該突合せ電極が前記電極に接触するよう前記第 1 半導体チップと前記第 2 半導体チップとを重ね合わせたことを特徴とする半導体装置の製造方法。

【請求項 3】 第 1 半導体チップの表面に金属膜を形成し、前記第 1 半導体チップの背面に塗布されたレジストをマスクとして縦穴を陽極化成にて形成した後、前記金属膜を除去するとともに前記第 1 半導体チップの表面に前記縦穴を塞ぐよう電極を形成したことを特徴とする半導体装置の製造方法。

【請求項 4】 前記縦穴を形成した後に、前記背面側から前記電極に金属膜を形成させたことを特徴とする請求項 2 または請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 表面に形成された電極と背面より前記電極が露出するよう形成された縦穴とを有した半導体チップ。

【請求項 6】 表面に形成された電極と背面より前記電極が露出するよう形成された縦穴とを有した第 1 半導体チップと、当該第 1 半導体チップの前記縦穴に挿入される突起とこの突起上に前記電極と接触する突合せ用電極とを有した第 2 半導体チップとからなることを特徴とする半導体装置。

【請求項 7】 前記第 1 半導体チップおよび前記第 2 半導体チップの結晶方位面は (1 0 0) であることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記第 1 半導体チップおよび前記第 2 半導体チップの結晶方

位面は（１１０）であることを特徴とする請求項６に記載の半導体装置。

【請求項９】 前記電極の前記背面側に金属膜が密着形成され、この金属膜を介して前記電極と前記突合せ用電極との接触をなしたことを特徴とする請求項６乃至請求項８のいずれかに記載の半導体装置。

【請求項１０】 請求項６乃至請求項９のいずれかに記載の半導体装置を用いたことを特徴とする接続用基板。

【請求項１１】 請求項１０に記載の接続用基板を用いたことを特徴とする電子機器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体チップの製造方法および半導体装置の製造方法、半導体チップ、半導体装置、接続用基板、電子機器に係り、特に電気信号の遅延防止と小型化を図る半導体チップの製造方法および半導体装置の製造方法、半導体チップ、半導体装置、接続用基板、電子機器に関する。

【０００２】

【従来の技術】

近年、電子機器の高性能化、小型化に伴って１つのパッケージ内に複数の半導体チップを配置してマルチチップパッケージとすることにより、半導体装置の高性能化と小型化とが図られている。そして、マルチチップパッケージには、複数の半導体チップを平面的に並べたものと、複数の半導体チップを厚み方向に積層したものがある。半導体チップを平面的に並べたマルチチップパッケージは、広い実装面積を必要とするため、電子機器の小型化への寄与が小さい。このため、半導体チップを積層したスタックドＭＣＰの開発が盛んに行われている。

【０００３】

【発明が解決しようとする課題】

従来のスタックドＭＣＰは、例えば特開平６－３７２５０号公報に記載されているように、積層した半導体チップを相互に電氣的に接続する場合、各半導体チップの周縁部に端子部を形成し、各チップの端子間をワイヤによって接続してい

る。このため、半導体チップ相互の電氣的接続が煩雜となるばかりでなく、積層する半導体チップは、上にいくほどサイズを小さくしなければならず、集積効率、実装効率が低下する。また、半導体チップの集積度が向上すると、ワイヤ間の間隔が小さくなってワイヤ間で短絡を生ずるおそれがある。

【 0 0 0 4 】

さらに、従来のスタックドMCPにおいては、積層した半導体チップを接着剤によって相互に接合するようにしており、接着剤の塗布などを必要として工程が煩雜となる。

【 0 0 0 5 】

本発明は、前記従来技術の欠点を解消するためになされたもので、ワイヤを用いずに積層した半導体チップを相互に電氣的に接続することを目的としている。

【 0 0 0 6 】

【課題を解決するための手段】

上記目的を達成するために、請求項1に係る半導体チップの製造方法は、半導体チップの表面に電極を形成した後、前記半導体チップの背面から前記電極が露出するまで縦穴の掘り下げを行ったことを特徴としている。請求項1に係る半導体チップの製造方法によれば、第1半導体チップに形成された縦穴に導電部材を挿入させ、当該導電部材を電極に接触させることで、両者の導通が図れることとなり電極間の経路を短くすることで信号遅延を防止することができる。

【 0 0 0 7 】

請求項2に係る半導体チップの製造方法は、第1半導体チップの表面に電極を形成した後、前記第1半導体チップの背面から前記電極が露出するまで縦穴の掘り下げを行うとともに、第2半導体チップの表面にエッチングにて突起を形成した後、この突起の頂上部に突合せ用電極を形成し、当該突合せ電極が前記電極に接触するよう前記第1半導体チップと前記第2半導体チップとを重ね合わせたことを特徴としている。請求項2に記載の半導体チップの製造方法によれば、第1半導体チップに形成された縦穴に、第2半導体チップの表面に形成された突起を挿入することで、当該突起の頂上部（先端）に形成された突合せ用電極を、電極に接触させることができる。このように第1半導体チップと第2半導体チップと

を重ねることで電極と突合せ用電極との導通を図ることが可能になり、電極間の経路を短くすることで信号遅延を防止することができる。また重ね合わせる半導体チップの面積に制限が無いことから、同一面積の半導体チップを積層させることができ、このため装置本体の小型化を達成することができる。

【 0 0 0 8 】

そして請求項 3 に係る半導体装置の製造方法は、第 1 半導体チップの表面に金属膜を形成し、前記第 1 半導体チップの背面に塗布されたレジストをマスクとして縦穴を陽極化成にて形成した後、前記金属膜を除去するとともに前記第 1 半導体チップの表面に前記縦穴を塞ぐよう電極を形成したことを特徴としている。

請求項 3 に記載の半導体装置の製造方法によれば、陽極化成を縦穴の形成に用いるため、当該縦穴の形成のための時間を（例えば、エッチング速度などと比較して）大幅に短縮させることができる。

【 0 0 0 9 】

さらに請求項 4 に係る半導体装置の製造方法は、前記縦穴を形成した後に、前記背面側から前記電極に金属膜を形成させたことを特徴としている。請求項 4 に記載の半導体装置の製造方法によれば、金属膜が前記電極の保護をなすので、第 1 半導体チップと第 2 半導体チップとを重ね合わせる際、突合せ用電極が電極に接触し、当該電極に損傷が生じるのを防止することができる。

【 0 0 1 0 】

また請求項 5 に係る半導体チップは、表面に形成された電極と背面より前記電極が露出するよう形成された縦穴とを有することを特徴としている。請求項 5 に記載の半導体チップによれば、半導体チップに形成された縦穴に導電部材を挿入させ、当該導電部材を電極に接触させることで、両者の導通が図れることとなり電極間の経路を短くすることで信号遅延を防止することができる。

【 0 0 1 1 】

そして請求項 6 に係る半導体装置は、表面に形成された電極と背面より前記電極が露出するよう形成された縦穴とを有した第 1 半導体チップと、当該第 1 半導体チップの前記縦穴に挿入される突起とこの突起上に前記電極と接触する突合せ用電極とを有した第 2 半導体チップとからなることを特徴としている。請求項 6



に記載の半導体装置によれば、半導体チップ同士を積層させるだけで双方の導通が図れることとなる。またチップの表裏面を介してでの接続となるので重ね合わせる半導体チップの面積に制限が無く、同面積の半導体チップの重ね合わせが可能になる。このように第1半導体チップと第2半導体チップとを重ねれば電極と突合せ用電極との導通を図ることが可能になり、電極間の経路を短くすることで信号遅延を防止することができる。また重ね合わせる半導体チップの面積に制限が無いことから、同一面積の半導体チップを積層させることができ、このため装置本体の小型化を達成することができる。

#### 【0012】

ここで請求項7に係る半導体装置は、前記第1半導体チップおよび前記第2半導体チップの結晶方位面は(100)であることを特徴としている。請求項7に記載の半導体装置によれば、両者の結晶方位を同一にすることで、エッチングにより同一の断面形状が形成されるので、隙間のない両者の噛み合わせ(重ね合わせ)が可能になる。また両者が同一材料であれば熱膨張も一定になるので、周囲の温度に変化が生じて両者の噛み合わせを確実に行うことができる。

#### 【0013】

また請求項8に係る半導体装置は、前記第1半導体チップおよび前記第2半導体チップの結晶方位面は(110)であることを特徴としている。請求項8に記載の半導体装置によれば、請求項7に記載の半導体装置と同様に、両者の結晶方位を同一にすることで、エッチングにより同一の断面形状が形成されるので、隙間のない両者の噛み合わせ(重ね合わせ)が可能になる。また両者が同一材料であれば熱膨張も一定になるので、周囲の温度に変化が生じて両者の噛み合わせを確実に行うことができる。

#### 【0014】

さらに請求項9に係る半導体装置は、前記電極の前記背面側に金属膜が密着形成され、この金属膜を介して前記電極と前記突合せ用電極との接触をなしたことを特徴としている。請求項9に記載の半導体装置によれば、第1半導体チップと第2半導体チップとを重ねる際、突合せ用電極は、電極に直に接触せず金属膜を介して接触するので電極に損傷が生じるのを防止することができる。

## 【 0 0 1 5 】

そして請求項 1 0 に係る接続用基板は、請求項 6 乃至請求項 9 のいずれかに記載の半導体装置を用いたことを特徴としている。請求項 1 0 に記載の接続用基板によれば、電極間の経路を短くすることができるとともに、集積効率、実装効率を高くすることができる半導体装置を用いているため接続用基板本体も信号が遅延することなく、また基板本体の小型化を達成することができる。

## 【 0 0 1 6 】

また請求項 1 1 に記載の電子機器は、請求項 1 0 に記載の接続用基板を用いたことを特徴としている。請求項 1 1 に記載の電子機器によれば、信号が遅延することなく、さらに小型化を達成することができる接続用基板を有しているので、本電子機器においても、信号の遅延防止と小型化とを達成することができる。

## 【 0 0 1 7 】

## 【発明の実施の形態】

以下に本発明に係る半導体チップの製造方法および半導体装置の製造方法、半導体チップ、半導体装置、接続用基板、電子機器に好適な具体的実施の形態について図面を参照して詳細に説明を行う。

## 【 0 0 1 8 】

図 3 は、本実施の形態に係る第 1 半導体チップと第 2 半導体チップの接続形態を示す断面説明図である。同図（１）に示すように、本実施の形態に係る半導体装置 1 0 は、第 1 半導体チップ 1 2 と第 2 半導体チップ 1 4 とからなり、これら半導体チップを積層させた形態となっている。

## 【 0 0 1 9 】

第 1 半導体チップ 1 2 は単結晶シリコンを基材としており、当該単結晶シリコンの表面の結晶方位面は（１００）面となっている。そしてこの第 1 半導体チップの表面 1 6 に形成された絶縁層の下層には、図示しないトランジスタやコンデンサあるいは抵抗などといった素子が形成されており、これら素子は、絶縁層に形成されたスルーホールを介して表面 1 6 に形成された金属配線に接続され、当該金属配線の先端に形成される電極 1 8 と電氣的導通を図れるようにしている。

## 【 0 0 2 0 】

なお上述した電極 1 8 は、タングステン 2 0 の上面にアルミ 2 2 を形成した 2 層構造になっており、後述する縦穴をエッチングによって形成する際に、タングステン 2 0 によって電極 1 8 自体の損傷を防止するようにしている。

#### 【 0 0 2 1 】

第 1 半導体チップ 1 2 において、電極 1 8 が形成される反対側、すなわち背面 2 4 には、縦穴 2 6 が形成される。そして当該縦穴 2 6 の開口形状は正方形となっており、その各縁辺からは背面 2 4 に対し 5 4 . 7 4 度の傾斜をなす斜面が形成されている。なお天井部分には電極 1 8 を構成するタングステン 2 0 が露出しており、当該タングステン 2 0 に導電部材を接触させることで表面 1 6 側に形成された素子との導通を図れるようにしている。

#### 【 0 0 2 2 】

なお第 1 半導体チップ 1 2 における背面 2 4、および天井部分となる電極 1 8 を除く縦穴 2 6 範囲には、テトラエトキシシラン (T E O S) 等の絶縁膜 (S i O<sub>2</sub>) 2 8 が形成されており、導電部材が背面 2 4 等に接触しても短絡が生じるのを防止できるようにしている。

#### 【 0 0 2 3 】

一方、半導体装置 1 0 を構成する他方側の第 2 半導体チップ 1 4 も第 1 半導体チップ 1 2 と同様に単結晶シリコンを基材としており、当該単結晶シリコンの表面の結晶方位面も、また第 1 半導体チップ 1 2 と同様に (1 0 0) 面となっている。

#### 【 0 0 2 4 】

こうした第 2 半導体チップ 1 4 の表面 3 1 には、前記縦穴 2 6 と凹凸嵌合が可能な突起 3 0 が形成されており、当該突起 3 0 の頂上部には、突合せ用電極 3 2 が形成されている。そして表面 3 1 から突合せ用電極 3 2 までの高さは、第 1 半導体チップ 1 2 の背面 2 4 から縦穴 2 6 の天井となるタングステン 2 0 までの高さと同しくなっており、第 1 半導体チップ 1 2 と第 2 半導体チップ 1 4 とを重ね合わせた際にタングステン 2 0 と突合せ電極 3 2 とが接触できるようになっている。なお突合せ用電極 3 2 からは金属配線 3 4 が引き出されており、第 1 半導体チップ 1 2 の表面に形成された素子への導通を図れるようにしている。

## 【 0 0 2 5 】

このように構成された第 1 半導体チップ 1 2 と第 2 半導体チップ 1 4 とは、同図 ( 2 ) に示すように積み重ねられ、半導体装置 1 0 を構成する。なお本実施の形態では、第 1 半導体チップ 1 2 と第 2 半導体チップ 1 4 との接続は導電性接着剤 3 6 を用いることとし、上下に加圧をなすことでタングステン 2 0 と突合せ電極 3 2 との導通を図るようにしている。そしてこのように構成された半導体装置 1 0 では、第 1 半導体チップ 1 2 と第 2 半導体チップ 1 4 との大きさに制限がないことから、同一形状を用いることが可能となり、実装面積を有効に活用することができる。また半導体チップ間の経路を短くすることで信号遅延を防止することもできる。

## 【 0 0 2 6 】

そして上述した半導体装置 1 0 を実装した接続用基板本体では、電極間の経路を短くすることができるとともに、集積効率、実装効率を高くすることができる半導体装置を用いているため接続用基板本体も信号が遅延することなく、また基板本体の小型化を達成することができる。

## 【 0 0 2 7 】

さらに接続用基板を備えた電子機器によれば、信号が遅延することなく、さらに小型化を達成することができる接続用基板を有しているので、本電子機器においても、信号の遅延防止と小型化とを達成することができる。

## 【 0 0 2 8 】

図 1 は、本実施の形態に用いられる第 1 半導体チップ 1 2 の形成手順を示す工程説明図である。同図 ( 1 ) に示すように、表面の結晶方位面が ( 1 0 0 ) の単結晶シリコンには、図示しないトランジスタやコンデンサあるいは抵抗などといった素子と電氣的導通がなされる電極 1 8 が形成される。

## 【 0 0 2 9 】

電極 1 8 を構成する手順は以下のようになる。すなわち電極 1 8 は、タングステン 2 0 とアルミ 2 2 との 2 層構造になっているが、タングステン 2 0 の形成手順は、まずスパッタリングにより T i 膜を 7 0 ~ 2 0 0 オングストローム、その上に T i N 膜を反応性スパッタリングにより 3 0 0 ~ 1 0 0 0 オングストローム

形成する。その後、六フッ化タングステン ( $WF_6$ ) を主剤ガスとするプラズマ CVD を行い、表面 16 を高融点金属であるタングステンによって覆う。その後は、 $SF_6$  と Ar との混合ガスを用いたドライエッチングによってタングステンをエッチバックし、余分なタングステンを除去してタングステンを電極 18 の範囲内にだけ残し、電極 18 の下層となるタングステン 20 を形成する。なおこの余分なタングステンの除去は、エッチバックによらずに CMP によって行うようにしてもよい。

#### 【0030】

こうしてタングステン 20 を形成した後は、単結晶シリコンウェハ自体を圧力 2 ～ 5 mTorr、温度 150 ～ 300℃ のアルゴン雰囲気中に配置し、Al-Cu、Al-Si-Cu、Al-Si などをターゲットとし、DC 9 ～ 12 kW の入力電力でスパッタを行い、これらのターゲットと同じ組成を有するアルミ 22 をタングステン 20 の上層に形成すればよい。

#### 【0031】

第 1 半導体チップ 12 に電極 18 を形成した後は、その背面 24 側より KOH 水溶液やエチレンジアミン水溶液等のエッチング液を用いて、異方性エッチングを行い縦穴 26 を形成する。なおこの縦穴 26 の側壁は背面 24 すなわち (100) 面と 54.74 度をなす斜面で形成される。そして背面 24 における開口幅を設定することで均一の角度を有した縦穴 26 を形成することができる。なお異方性エッチングが進行していくと、エッチング液が電極 18 に達するが、ここで当該電極 18 はタングステン 20 とアルミ 22 の 2 層構造になっており、タングステン 20 は前記エッチング液に浸食されないことから、縦穴 26 ではその天井に電極 18 を構成するタングステン 20 が露出した形態となる。エッチング終了の形態を同図 (2) に示す。

#### 【0032】

そしてエッチング終了後は、同図 (3) に示すように背面側からテトラエトキシシラン (TEOS) を用いた熱 CVD にて絶縁膜 ( $SiO_2$ ) 28 を形成すればよい。このように第 1 半導体チップ 12 の背面 24 に絶縁膜 28 を形成したことから、導電部材が背面 24 等に接触しても短絡が生じるのを防止することがで

きる。

【 0 0 3 3 】

その後は、同図（４）に示すように縦穴 2 6 における天井部、すなわちタングステン 2 0 が露出するように当該タングステン 2 0 にかかる絶縁膜 2 8 の除去をフォトリソ工程等を経て行うようにすればよい。

【 0 0 3 4 】

図 2 は、本実施の形態に用いられる第 2 半導体チップ 1 4 の形成手順を示す工程説明図である。同図（１）に示すように、第 1 半導体チップ 1 2 同様、表面の結晶方位面が（１００）の単結晶シリコンが基材として用いられる。

【 0 0 3 5 】

そして同図（２）に示すように、その表面 3 1 における突起 3 0 の頂上部に相当する範囲にレジスト 3 8 を塗布し、KOH 水溶液やエチレンジアミン水溶液等のエッチング液を用いた異方性エッチングを行う。

【 0 0 3 6 】

同図（３）は、異方性エッチング終了後の形態を示す、同図（３）に示すようにレジスト 3 8 を塗布した状態で異方性エッチングを行えば、レジスト 3 8 が塗布された範囲以外の箇所が除去され、縦穴 2 6 と凹凸嵌合をなす突起 3 0 が形成される。

【 0 0 3 7 】

そして突起 3 0 が形成された後はレジスト 3 8 を除去し、金属膜を堆積させるとともに、フォトリソ工程を経て、金属配線 3 4 を形成する。そして当該金属配線 3 4 を形成した後は、単結晶シリコンウェハ自体を圧力 2 ～ 5 m T o r r 、温度 1 5 0 ～ 3 0 0 ℃ のアルゴン雰囲気中に配置し、Al-Cu、Al-Si-Cu、Al-Siなどをターゲットとし、DC 9 ～ 1 2 k W の入力電力でスパッタを行い、これらのターゲットと同じ組成を有するアルミからなる突合せ用電極 3 2 を形成すればよい。

【 0 0 3 8 】

なお本実施の形態においては、第 1 半導体チップ 1 2 および第 2 半導体チップ 1 4 に用いる単結晶シリコンの表面の結晶方位面を（１００）としたが、この結

晶方位に限定されることもなく、結晶方位面を(110)である単結晶シリコンを第1半導体チップ12および第2半導体チップ14に用いるようにしてもよい。図4は、結晶方位面を(110)である単結晶シリコンを第1半導体チップ12に用いた場合の製造工程図であるが、同図に示すように縦穴26が斜面を有しない形状となるだけで天井にタングステン20が露出する同様の縦穴26を形成することができる。

## 【0039】

ところで図4において示した第1半導体チップ12における縦穴26の形成は、異方性エッチングで行うこととしたが他の方法を用いるようにしてもよい。図5は、N型の単結晶シリコンを基材とする第1半導体チップ12の縦穴26形成を、陽極化成にて行う場合の装置構成図である。

## 【0040】

同図に示すように陽極化成装置40は、フッ酸を充填可能とする容器42と、前記容器42の上方に容器底面と対面するように設置された電極46と、当該電極46の上部に設けられ容器底面を照射可能なランプ48と、電極46と容器底面に設置される第1半導体チップ12との間に印加をなす電源50とで構成されている。このような陽極化成装置40に投入される第1半導体チップ12は、縦穴26の形成範囲以外の部分に絶縁膜52が形成された形態となっている。そしてこの絶縁膜52が形成された第1半導体チップ12を容器42の底面に置き、前記容器42にフッ酸を導入する。その後、前記絶縁膜52が形成された表面にランプ48により照射を行うとともに、電源50により電極46と、第1半導体チップ12の電極となるプラチナ電極44との間に電圧を加える。このような動作を行うと、第1半導体チップ12の背面24において、絶縁膜52が覆っていない部分、すなわち縦穴26の形成領域が削れ、縦穴26が形成される。このように縦穴26の形成に陽極化成を用いることとすれば、エッチングによる縦穴26形成に対して、大幅に加工時間の短縮を行うことができる。

## 【0041】

そして縦穴26を形成した後は、プラチナ電極44を取り除き、新たにスパッタ等でアルミ製の電極を形成するとともに、その背面24から絶縁膜52を除去

し、新たにテトラエトキシシラン (TEOS) 等の絶縁膜 ( $\text{SiO}_2$ ) 28 を熱 CVD など で 形 成 す れ ば よ い。

【 0 0 4 2 】

図 6 は、第 1 半導体チップにおいてその縦穴 26 内に金属膜を形成する手順を示した製造工程図である。

【 0 0 4 3 】

同図 (1) は、第 1 半導体チップ 12 に電極 18 と縦穴 26 とを形成した後の断面図を示す。そして電極 18 と縦穴 26 とを形成した後は、同図 (2) に示すようにテトラエトキシシラン (TEOS) 等の絶縁膜 ( $\text{SiO}_2$ ) 28 を熱 CVD など で 形 成 す る。そして絶縁膜 28 の形成後は、同図 (3) に示すように縦穴 26 の内側に金属膜 54 を形成すればよい。なおこの金属膜 54 の形成方法としては、第 1 半導体チップ 12 自体を、圧力 2 ~ 5 mTorr、温度 150 ~ 300℃ のアルゴン雰囲気中に配置し、Al-Cu、Al-Si-Cu、Al-Si などをターゲットとし、DC 9 ~ 12 kW の入力電力でスパッタを行い、これらのターゲットと同じ組成を有するアルミからなる金属膜 54 を形成すればよい。そして金属膜 54 が形成された第 1 半導体チップ 12 と第 2 半導体チップ 14 とを積層させれば、第 2 半導体チップ 14 の突起 30 に設けられた突合せ用電極 32 は金属膜 54 に接触するので、この接触によって電極 18 に損傷が生じることがない。このためチップ同士を積層する際に電極 18 の保護が図ることができる。

【 0 0 4 4 】

【発明の効果】

以上説明したように本発明によれば、半導体チップの表面に電極を形成した後、前記半導体チップの背面から前記電極が露出するまで縦穴の掘り下げを行ったことから、電氣的経路の短縮をなすことができ、このことから電氣的信号の遅延を防止することができる。

【 0 0 4 5 】

そして第 1 半導体チップの表面に電極を形成した後、前記第 1 半導体チップの背面から前記電極が露出するまで縦穴の掘り下げを行うとともに、第 2 半導体チ



ップの表面にエッチングにて突起を形成した後、この突起の頂上部に突合せ用電極を形成し、当該突合せ電極が前記電極に接触するよう前記第 1 半導体チップと前記第 2 半導体チップとを重ね合わせたことから、半導体チップ間の電極の導通を確実に図ることができるとともに、半導体チップの積層により信号経路の短縮化を図ることができ、信号の遅延を防止することができる。

## 【 0 0 4 6 】

また第 1 半導体チップの表面に金属膜を形成し、前記第 1 半導体チップの背面に塗布されたレジストをマスクとして縦穴を陽極化成にて形成した後、前記金属膜を除去するとともに前記第 1 半導体チップの表面に前記縦穴を塞ぐよう電極を形成したことから、陽極化成を縦穴の形成に用いるため、当該縦穴の形成のための時間を（例えば、エッチング速度などと比較して）大幅に短縮させることができる。

## 【 0 0 4 7 】

ところで表面に形成された電極と背面より前記電極が露出するよう形成された縦穴とを有したことから、電氣的経路の短縮をなすことができ、このことから電氣的信号の遅延を防止することができる。

## 【 0 0 4 8 】

また表面に形成された電極と背面より前記電極が露出するよう形成された縦穴とを有した第 1 半導体チップと、当該第 1 半導体チップの前記縦穴に挿入される突起とこの突起上に前記電極と接触する突合せ用電極とを有した第 2 半導体チップとからなることから、上記効果と同様に電極間の経路を短くすることができるとともに、これら半導体チップが積層された装置本体の小型化を達成することができる。

## 【 0 0 4 9 】

そして請求項 6 乃至請求項 9 のいずれかに記載の半導体装置を用いた接続用基板では、電極間の経路短縮による信号遅延防止と、接続用基板本体の小型化を達成することができる。

## 【 0 0 5 0 】

さらに請求項 1 0 に記載の接続用基板を用いた電子機器においても、接続用基

板の効果と同様に、電極間の経路短縮による信号遅延防止と、接続用基板本体の小型化を達成することができる。

【図面の簡単な説明】

【図 1】

本実施の形態に用いられる第 1 半導体チップ 1 2 の形成手順を示す工程説明図である。

【図 2】

本実施の形態に用いられる第 2 半導体チップ 1 4 の形成手順を示す工程説明図である。

【図 3】

本実施の形態に係る第 1 半導体チップと第 2 半導体チップの接続形態を示す断面説明図である。

【図 4】

結晶方位を ( 1 1 0 ) 面である単結晶シリコンを第 1 半導体チップ 1 2 に用いた場合の製造工程図である

【図 5】

N 型の単結晶シリコンを基材とする第 1 半導体チップ 1 2 の縦穴 2 6 形成を、陽極化成にて行う場合の装置構成図である。

【図 6】

第 1 半導体チップにおいてその縦穴 2 6 内に金属膜を形成する手順を示した製造工程図である。

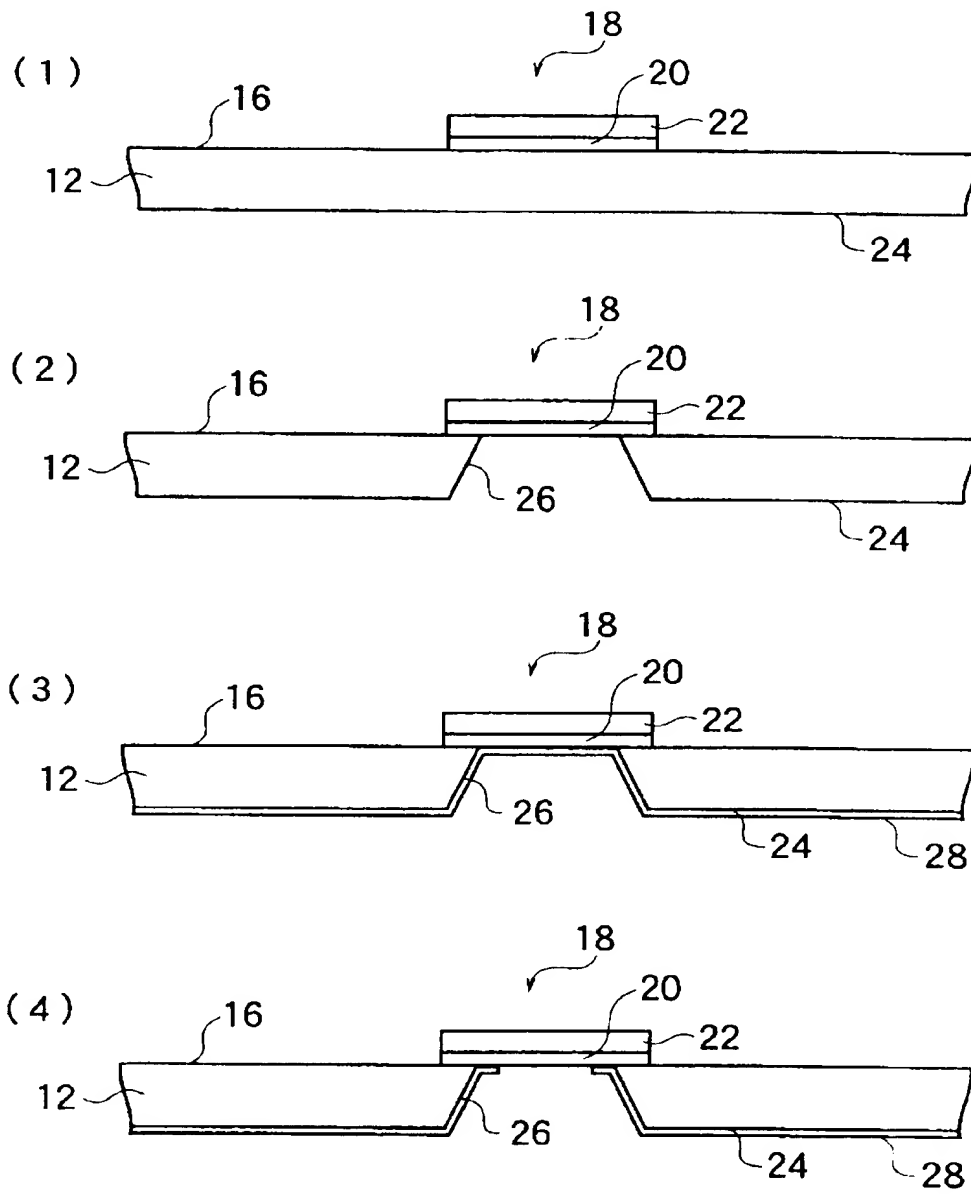
【符号の説明】

1 0	半導体装置
1 2	第 1 半導体チップ
1 4	第 2 半導体チップ
1 6	表面
1 8	電極
2 0	タングステン
2 2	アルミ

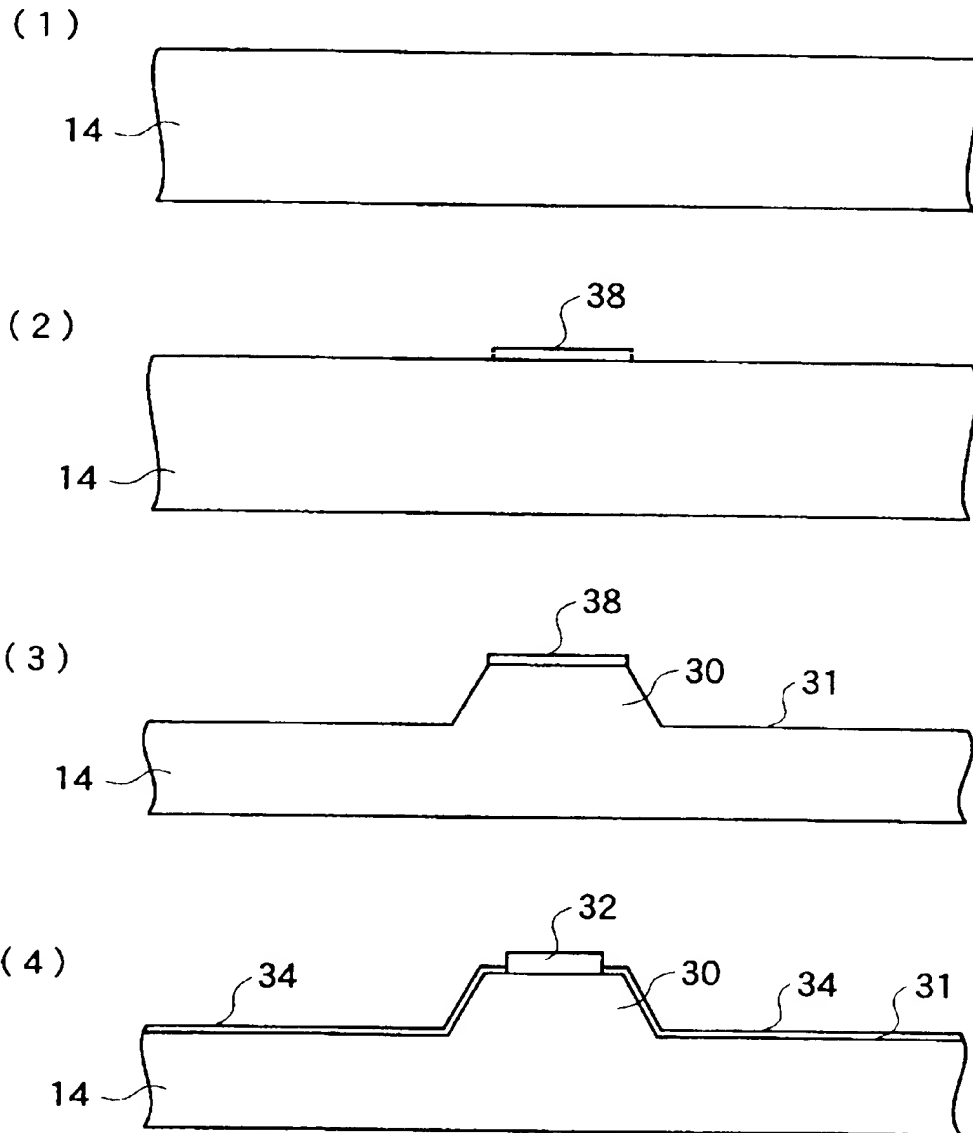
2 4	背面
2 6	縦穴
2 8	絶縁膜
3 0	突起
3 1	表面
3 2	突合せ用電極
3 4	金属配線
3 6	導電性接着剤
3 8	レジスト
4 0	陽極化成装置
4 2	容器
4 4	プラチナ電極
4 6	電極
4 8	ランプ
5 0	電源
5 2	絶縁膜
5 4	金属膜

【書類名】 図面

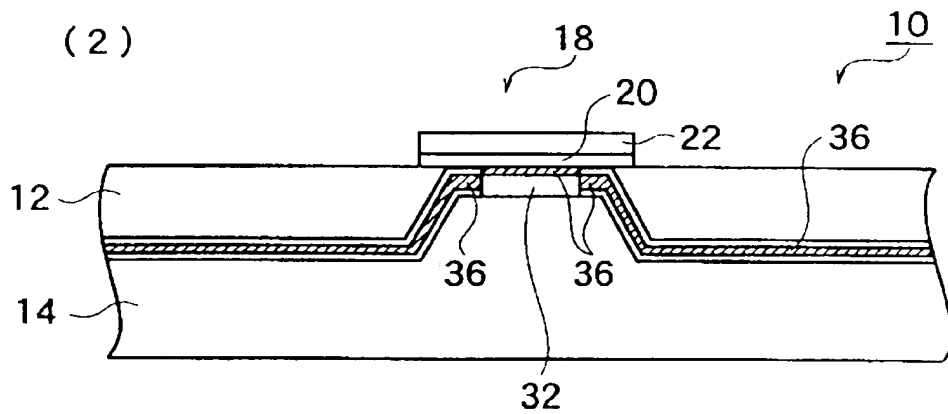
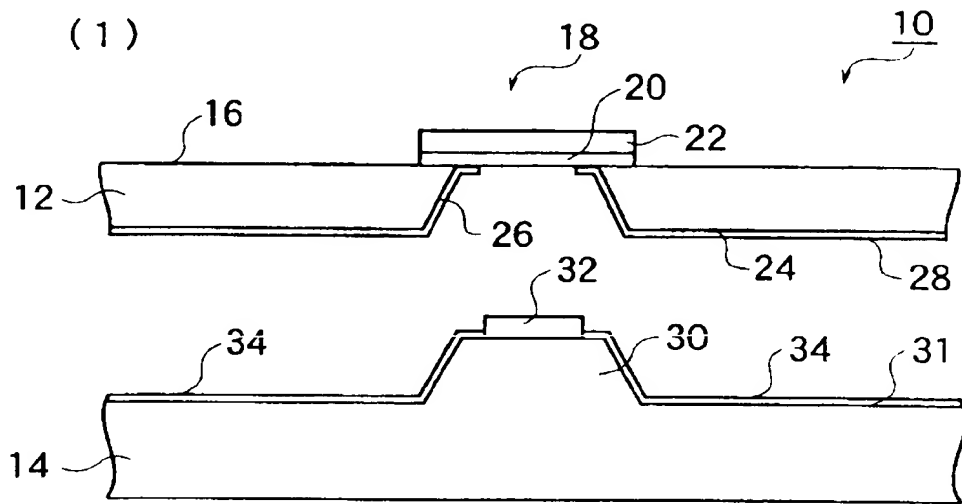
【図 1】



【図 2】

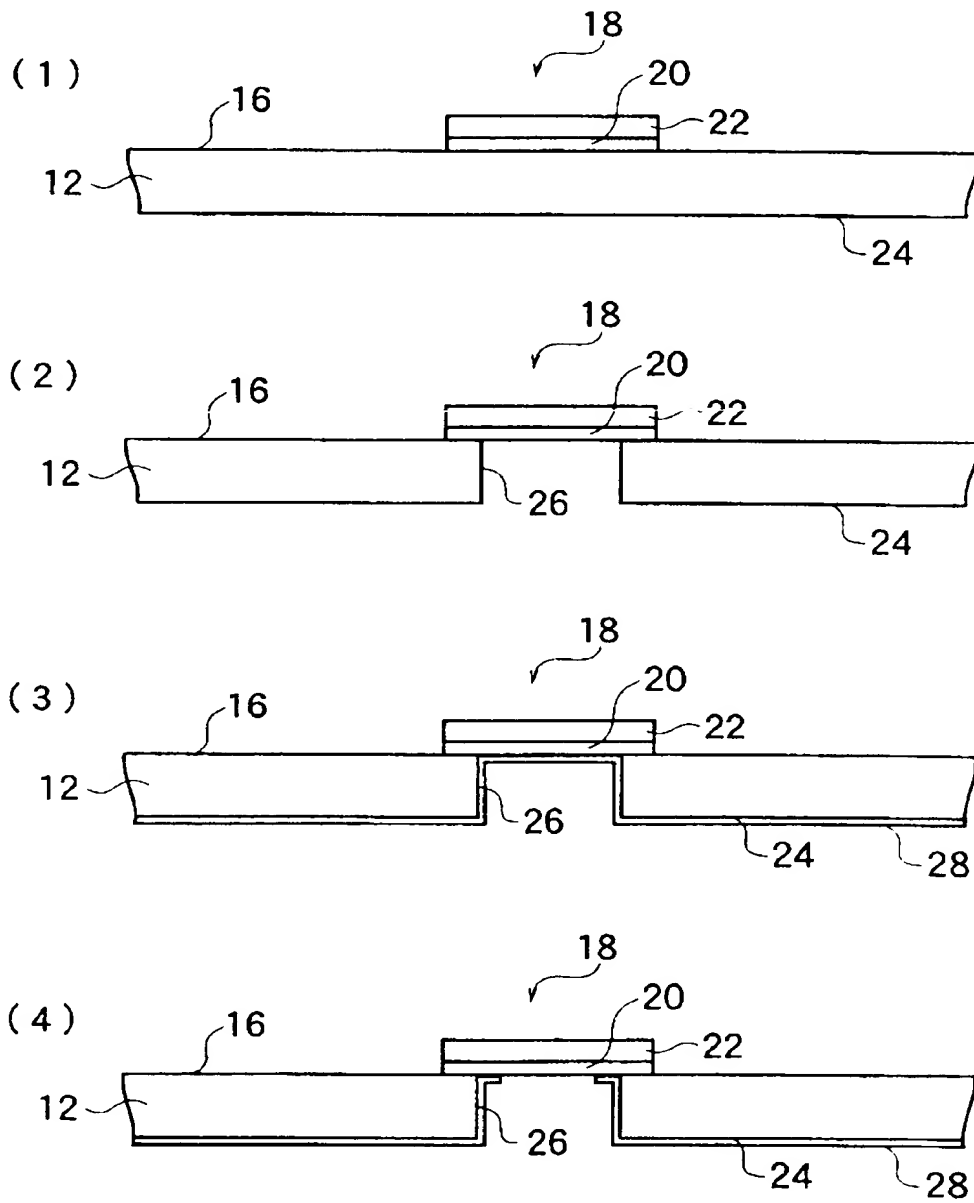


【図3】

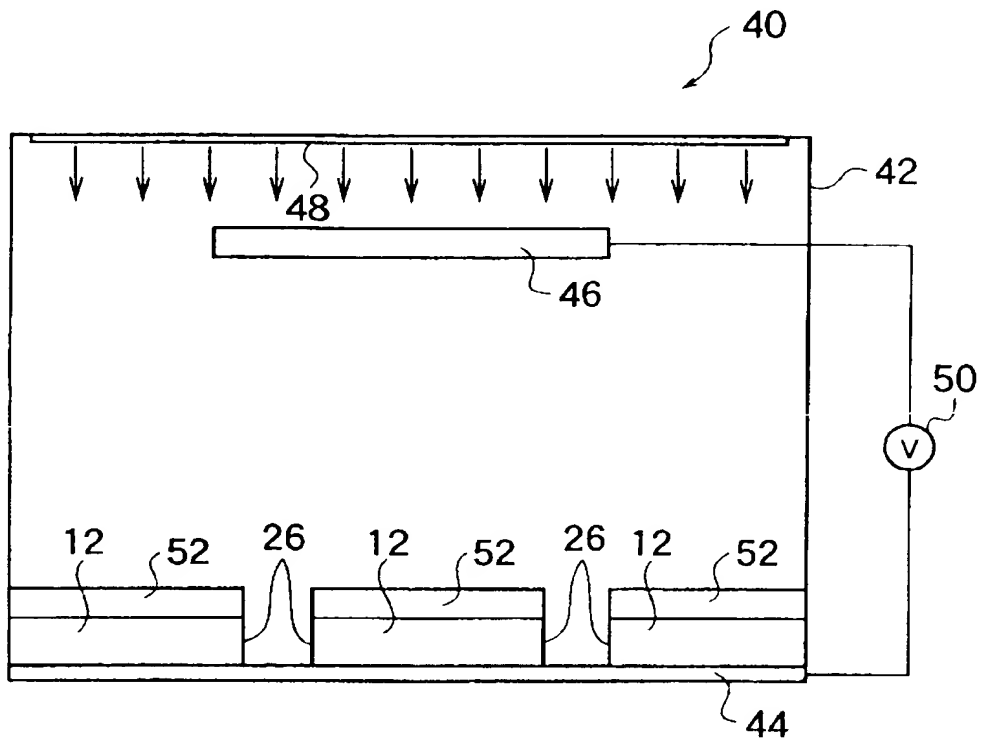


- |               |             |
|---------------|-------------|
| 10 : 半導体装置    | 16 : 表面     |
| 12 : 第1半導体チップ | 18 : 電極     |
| 14 : 第2半導体チップ | 32 : 突合せ用電極 |

【図4】

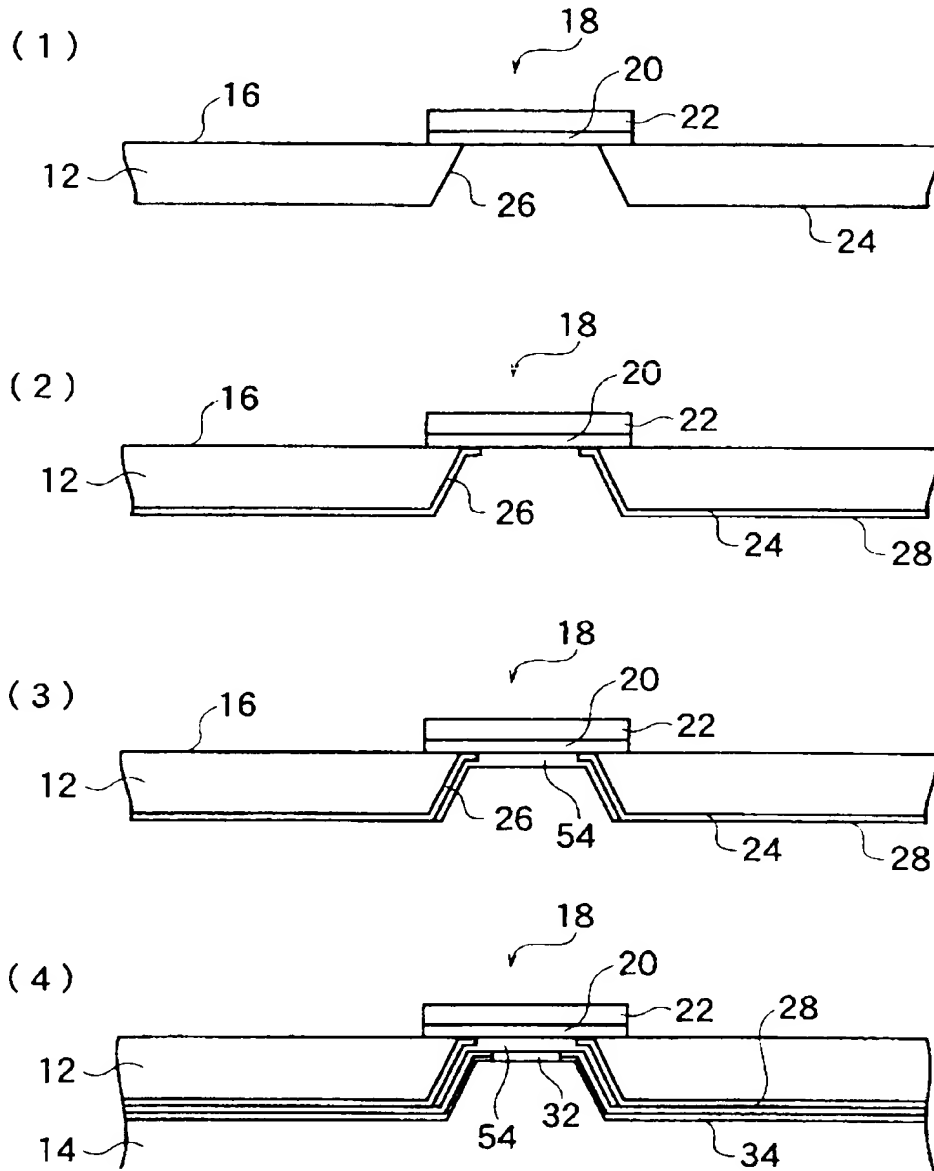


【図 5】





【図 6】



【書類名】 要約書

【要約】

【課題】 ワイヤを用いずに積層した半導体チップを電氣的に接続する半導体チップの製造方法および半導体装置の製造方法、半導体チップ、半導体装置、接続用基板、電子機器を提供する。

【解決手段】 表面 1 6 に電極 1 8 を形成した後、背面 2 4 から電極 1 8 におけるタングステン 2 0 が露出するよう縦穴 2 6 を形成する。そして第 2 半導体チップ 1 4 の表面 3 1 にエッチングにて突起 3 0 を形成した後、この突起 3 0 の頂上部に突合せ用電極 3 2 を形成する。ここで突合せ電極 3 2 が電極 1 8 に接触するよう第 1 半導体チップ 1 2 と第 2 半導体チップ 1 4 とを重ね合わすようにすれば、電極間の経路を短くすることで信号遅延を防止することができる。また重ね合わせる半導体チップの面積に制限が無く、同一面積の半導体チップを積層させることができ、このため半導体装置 1 0 の小型化を達成することができる。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社